

## Załącznik nr 1

### do Zapytania ofertowego nr 03/2016

#### Parametry techniczne

Lp.	Nazwa	Opis	Ilość (szt.)
1	Zestaw IP core wraz ze źródłami	Zestaw IP core dla 7. generacji układów Xilinx, w szczególności rodziny Zynq umożliwiający synchronizację zegarów przy użyciu IEEE1588-2008 v2 (PTPv2) z asystą sprzętową FPGA. Rozwiązanie ma wspierać połączenie do GMII zapewniane przez rodzinę Zynq, a także umożliwiać użycie toru z PS GMAC. Rozwiązanie ma być kompatybilne z Xilinx Vivado w wersji 15.4 oraz wspierać Gigabit Ethernet. IP core ma zapewniać co najmniej 64 bitowy timer PTP możliwy do użycia w logice FPGA. IP core ma mieć wyjście PPS (Pulse Per Second). IP core ma wspierać PTPv2 zarówno w 2. jak i 3. warstwie sieci. IP core ma pozwalać na użycie znaczników czasowych ramek wysyłanych i odbieranych. Rozwiązanie ma zapewniać możliwość użycia zarówno zegarów Peer-to-Peer jak i End-to-End. Rozwiązanie powinno być zoptymalizowane w celu użycia jak najmniejszej ilości zasobów. Rozwiązanie ma zapewniać dokładność synchronizacji czasu (mierzoną poprzez różnicę wyjść PPS FPGA i Mastera PTP) lepszą niż +/- 100ns. Kody źródłowe wraz z HDL muszą być załączone.	1
2	Oprogramowanie na platformę Linux	Oprogramowanie na platformę Linux zapewniające przetwarzanie pakietów PTPv2 we współpracy z dedykowanym IP core (opisanym w pkt 1.). Oprogramowanie ma zapewniać dostęp do znacznika czasowego zawartego w logice FPGA oraz mechanizm wyboru najlepszego zegara – Best Master Clock (BMC). Oprogramowanie ma być kompatybilne z dystrybucją Petalinux w wersji 15.4 dla rodziny Zynq zapewnianą przez firmę Xilinx.	1
3	Projekt referencyjny	Projekt referencyjny dla platformy Zynq i systemu Linux pozwalający na wykorzystanie IP Core w synchronizacji czasu z PTPv2. Dostawca ma zapewnić wsparcie podczas wdrażania rozwiązania na wybranej platformie.	1