

Załącznik nr 1
do Zapytania ofertowego nr 2/eCAUSIS/2024

Przedmiot zamówienia:

Przedmiotem zamówienia jest zakup godzin usług programistycznych dla układów FPGA w ramach realizacji projektu eCausis. Wykonawca jest zobowiązany do wyznaczenia Pracownika, którego CV będzie spełniało wymagania ogólne i pozwalało na wykonanie opisanych prac w nie więcej niż 84 godzin miesięcznie.

Kod CPV: 72212000-4 - Usługi programowania oprogramowania aplikacyjnego

1. Wymagania minimalne wobec delegowanego pracownika:

- Minimum dziesięć lat doświadczenia przy realizacji podobnych zadań;
- Wykształcenie techniczne - elektronika, informatyka, telekomunikacja lub podobne.

1. Wymagania wobec delegowanego pracownika podlegające ocenie przez komisję:

- Doświadczenie przy realizacji podobnych zadań;
- Zgodność wykształcenia z przedmiotem zamówienia
- Praktyczna znajomość technik projektowania FPGA, znajomość języka VHDL,
- Umiejętność implementowania interfejsów komunikacyjnych w układach FPGA,
- Umiejętność implementowania algorytmów analizy danych w układach FPGA,
- Znajomość metod weryfikacji projektów FPGA,
- Znajomość elektroniki oraz umiejętność projektowania schematów elektronicznych,
- Doświadczenie w pracy przy projektach w pełnym wymiarze czasu jak i doradztwa projektowego,
- Umiejętności aktywnego rozwiązywania skomplikowanych problemów,
- Umiejętność pracy w zespole.

2. Informacyjny zakres prac, który ma zostać zrealizowany w terminie marzec 2024 - maj 2024:

Grupa zadań	Opis zakresu prac
Zaprojektowanie, implementacja, weryfikacja i walidacja gatewayu FPGA do generacji surowego klucza kwantowego.	W ramach prac zostanie zaprojektowany, zaimplementowany, zweryfikowany i zwalidowany gateway FPGA sterujący elementami wykonawczymi w modułach nadajnika i odbiornika QKD. Obsługa i synchronizacja Transceiverów, Modulatorów, ADC / DAC-a, TECa, Wentylatorów.
Zaprojektowanie, implementacja, weryfikacja i walidacja gatewayu FPGA dla siftingu klucza kwantowego.	W ramach prac zostanie zaprojektowany, zaimplementowany, zweryfikowany i zwalidowany gateway FPGA odpowiedzialny za algorytm przetwarzania klucza kwantowego - Sifting.
Zaprojektowanie mikroarchitektury gatewayu FPGA dla korekcji klucza kwantowego w oparciu o algorytm korekcji LDPC.	W ramach prac zostanie zaprojektowana mikroarchitektura gatewayu FPGA odpowiedzialnego za algorytm korekcji klucza kwantowego – LDPC w oparciu o dostarczony model cyfrowy.
Zaprojektowanie, implementacja, weryfikacja i	Zaprojektowanie, implementacja, weryfikacja i

walidacja gatewayu FPGA do obsługi interfejsu PCIe odpowiedzialnego za komunikację do monitorowania, zarządzania oraz udostępniania klucza kwantowego do KMSa.	walidacja gatewayu FPGA odpowiedzialnego za interfejs komunikacyjny zgodny ze standardem PCIe pomiędzy modułami nadajnika i odbiornika QKD a Hostem (komputerem kontrolnym). Udostępnienie wygenerowanego klucza kwantowego z części PL/PS do KMSa. Reset pamięci przechowującej klucze kwantowe z kilkukrotnym nadpisaniem.
Zaprojektowanie gatewayu FPGA integrującego zewnętrzny moduł QRNG z oprogramowaniem do generacji surowego klucza kwantowego.	Zaprojektowanie, implementacja, weryfikacja i walidacja gatewayu FPGA odpowiedzialnego za integrację zewnętrznego modułu QRNG z gatewayem generacji klucza kwantowego. W pierwszej kolejności zostanie zintegrowany interfejs komunikacyjnych modułu QRNG z modułem nadajnika z wykorzystaniem IP corów dostarczonych przez producenta QRNG. W drugiej kolejności powstanie oprogramowanie FPGA umożliwiające przeprowadzenie badań sterowania elementami wykonawczymi (modulatory) za pomocą QRNG.

3. Informacyjny zakres prac, który ma zostać zrealizowany w terminie czerwiec 2024 - sierpień 2024:

Grupa zadań	Opis zakresu prac
Implementacja, weryfikacja i walidacja gatewayu FPGA dla korekcji klucza kwantowego w oparciu o algorytm LDPC.	W trakcie prac zostanie zaprojektowany, zaimplementowany, zweryfikowany i zwalidowany gateway FPGA odpowiedzialny za algorytm korekcji klucza kwantowego - LDPC. W pierwszej kolejności zostanie zaimplementowany gateway FPGA na podstawie zaprojektowanej wcześniej mikroarchitektury. Następnie gateway zostanie uruchomiony na platformie Zynq US+ i nastąpi jego weryfikacja i walidacja. W trakcie testów zostaną wprowadzone niezbędne poprawki do oprogramowania. Implementacja gatewayu będzie miała zaimplementowany interfejs umożliwiający współpracę z oprogramowaniem modelu cyfrowego do pracy w trybie "Software in the Loop".
Zaprojektowanie, implementacja, weryfikacja i walidacja gatewayu FPGA do synchronizacji czasu w oparciu o protokół White Rabbit dla toru generacji, przetwarzania i korekcji klucza kwantowego.	W ramach prac zostanie zaprojektowany, zaimplementowany, zweryfikowany i zwalidowany gateway FPGA odpowiedzialny za synchronizację zegarów dla modułu nadawczego i odbiorczego w trakcie generacji surowego klucza kwantowego. W pierwszej kolejności zostanie uruchomiona synchronizacja w oparciu o zewnętrzne sygnały czasu: 10MHz i PPS. Do synchronizacji czasu

	<p>pomiędzy modułami nadawczym i odbiorczym zostaną wykorzystane odpowiednio skonfigurowane switchy White Rabbit.</p>
<p>Zaprojektowanie, implementacja, weryfikacja i walidacja gatewayu FPGA integrującego bloki funkcjonalne generacji, przetwarzania, korekcji i udostępniania klucza kwantowego.</p>	<p>W ramach prac zostanie zaprojektowany, zweryfikowany i zwalidowany gateway odpowiedzialny za integrację poszczególnych bloków funkcjonalnych odpowiedzialnych za poszczególne bloki przetwarzania. Opracowane oprogramowanie umożliwi przeprowadzenie badań całego toru generacji klucza kwantowego przez jego generację, przetwarzanie, korekcję aż po udostępnianie klucza kwantowego do KMSa.</p>